

Sintesi del curriculum di Andrea Gerosa

Principali note biografiche, di formazione e ruoli accademici

1995	Laureato in INGEGNERIA ELETTRONICA con votazione 105/110.
1995	Abilitato allo svolgimento della professione di Ingegnere con votazione 110/120, presso l'Università degli studi di Padova, nella seconda Sessione dell'anno 1995
1996-1999	Dottorato di Ricerca in “Ingegneria elettronica e delle Telecomunicazioni”.
1997-1998	Vincitore di un “posto scambio” presso l' Università di California, Berkeley (USA)
2001	Ricercatore per il SSD ING-INF/01 (Università di Padova). Confermato dal 2004
2010	Professore associato per il SSD ING-INF/01 (Università di Padova). Confermato dal 2013
2015- 2021	Presidente del CCS in Ingegneria Elettronica.
2018-2023	Membro del comitato ordinatore del corso di laurea in Diritto e Tecnologia.
2019-2021	Referente di Ateneo per il Tutorato Formativo (nomina rettorale).
2020-2021	Referente di Ateneo per il progetto Mentorship (nomina con delibera del CdA).
2021-2024	Delegato della Rettrice all'Orientamento, Tutorato e Placement.
2024	Professore ordinario per il SSD ING-INF/01 (Università di Padova).
2024-Presente	Presidente della Scuola di Ingegneria dell'Università di Padova

Attività di ricerca

Andrea Gerosa ha svolto la sua attività di ricerca nell'ambito della progettazione di circuiti integrati analogici. In tale ambito è stato artefice, **dell'attivazione di tale linea di ricerca**, presso il Dipartimento di Ingegneria dell'Informazione di Padova. Più di recente, si sta occupando anche di pensiero sistemico e sostenibilità.

Le principali tematiche di ricerca principali sono state:

1. **Circuiti integrati per reti di sensori autonomi.** (ricetrasmittitori a impulsi e convertitori DC-DC)
2. **Circuiti analogici per applicazioni biomedicali a bassissima potenza.** (pacemaker e radar UWB)
3. **Circuiti analogici per decodifica** (applicazioni a *hard-disk*, ricevitori UMTS, memorie flash).
4. **Circuiti a radiofrequenza per applicazioni UWB.** (amplificatori low-noise e oscillatori)
5. **Circuiti per ricevitori *wireless*:** convertitori A/D riconfigurabili
6. **Circuiti analogici per l'elaborazione del segnale.**

PARTECIPAZIONI A PROGETTI E COLLABORAZIONI

Progetti della comunità europea: PROPHECY, 5GGaN2, UltimateGaN

Progetti a finanziamento nazionale: CNR MADESS-II, PRIN-2001, FIRB “Primo”, PRIN-2004, PNRR Ecosistemi 2023, POT/PLS 2023, PRIN-2022

Progetti finanziati dall'ateneo: Prog. ARTURO, Prog. di eccellenza 2006 (Cariparo), PRAT 2010, SEED-2019, Undici 2021, DM752 2021

Progetti di ricerca finanziati dall'industria: Medico S.p.A. (Rubano, PD); Infineon (Villach, A), Sensichip Srl (Latina).

Collaborazioni: Università di Pavia, Lecce e di Modena e Reggio Emilia; Politecnico di Torino, University of Lund.

PRINCIPALI RICONOSCIMENTI PER L'ATTIVITÀ DI RICERCA

- 2000 Risulta vincitore del **primo premio** nella categoria "Risultati Scientifici di Rilevanza Applicativa" del "**Premio Regionale per l'Innovazione**", bandito dal consorzio Veneto Innovazione.
- 2007-presente **Membro del Technical Committee** "*Circuits and Systems for Communication*" della *IEEE Circuits and Systems Society*
- 2007 Elevato al Grado di **IEEE Senior Member**
- 2008-2013 Svolge attività di **Associate Editor** per la rivista internazionale "*Journal of Circuits, Systems, and Computers*", edito da World Scientific Publishing.
- 2020 **Membro del comitato di valutazione dei progetti** presentati per il bando POR FESR 2014-2020 della Regione Veneto

Pubblicazioni scientifiche

Andrea Gerosa è autore di **30 articoli su riviste** internazionali, **62 atti di convegni** internazionali, **2 capitoli di libro** e **7 libri per la didattica**, di cui **2 curatele con traduzione**. Secondo **Scopus**, i principali indici bibliometrici sono: più di **1.000 citazioni**, con **h-index=17**. **Google Scholar** riporta **1679 citazioni** e un **h-index pari a 23**. L'elenco completo delle pubblicazioni è riportato in calce al presente documento.

Attività istituzionali, organizzative, gestionali e di servizio

Andrea Gerosa svolge con **continuità**, fin dal 2008, diverse attività istituzionali e organizzative a servizio dell'Ateneo e del Dipartimento di Ingegneria dell'informazione, primariamente nell'ambito della didattica (ma non esclusivamente), con **gradi di responsabilità via via crescenti**, fino a incarichi istituzionali di governance centrale (**delegato rettorale dal 2021 al 2024**). Si evidenziano di seguito alcuni incarichi di particolare rilievo.

Dal 2008 comincia ad essere coinvolto negli **organi di gestione dei corsi di studio** in ingegneria elettronica (L8 + LM29), divenendo successivamente membro della relativa commissione didattica (2008), **vicepresidente** del CCS (2012) e **presidente del CCS** (2015-2021). In quest'ultimo ruolo, ha introdotto degli aggiornamenti e delle modifiche significativi degli ordinamenti didattici e delle relative offerte formative per il corso di laurea di primo livello e per quello magistrale in ingegneria elettronica. Ha inoltre stimolato e coordinato la collaborazione dei vari docenti, al fine di aggiornare i contenuti e gli obiettivi formativi dei singoli insegnamenti. I risultati ottenuti sono tangibili nel **miglioramento di svariati indicatori**. Per esempio, **il tasso di abbandono** al primo anno del corso di laurea è passato dal 53% (coorte 2014) al **8%** (coorte 2019); il tempo medio al conseguimento del titolo di primo livello è sceso da 51 mesi (coorte 2012) a 36,6 mesi (coorte 2016); le nuove immatricolazioni al corso magistrale sono salite da circa 50 unità a 80-90 studenti (ultime due coorti di presidenza); entrambi i corsi di studio sono tra i più apprezzati dagli studenti nell'ambito della Scuola di Ingegneria di Padova.

Nel periodo di presidenza del CCS, per due anni (2016-2018) è anche **coordinatore** della commissione didattica del Dipartimento e rappresentante dei relativi presidenti di CCS nel **consiglio della Scuola di Ingegneria**. In tale periodo contribuisce anche la progetto **Transitions Technologies, della Scuola di Ingegneria**.

Dal 2018 collabora a un progetto didattica promosso dal Rettore e dalla Scuola di Giurisprudenza dell'università di Padova per l'**istituzione di un nuovo corso** di laurea nella classe L-14 (scienze dei servizi giuridici), denominato "**Diritto e Tecnologia**". Il corso integra la riflessione giuridica con la componente informatica-tecnologica, quella prettamente ingegneristica e i profili economici e aziendali. Andrea Gerosa svolge il ruolo di **referente per tutta l'area informatico-tecnologica**, è **componente del comitato ordinatore** per tutta la sua durata e del CCS in seguito.

Dal 2019 inizia il coinvolgimento di Andrea Gerosa in **ruoli istituzionali a livello di Ateneo**, con la nomina per due anni da parte del Rettore a **Referente di Ateneo per il Tutorato Formativo**, in sinergia con il protettorato alla continuità formativa, e membro della **commissione di Ateneo per l'orientamento e il tutorato**.

Dall'a.a. 2021-22 al 2023-24 è stato nominato **delegato della Rettrice all'Orientamento, Tutorato e Placement**.

Dall'a.a. 2024-25 è Presidente della Scuola di Ingegneria dell'Università di Padova.

Attività didattica

L'**attività didattica** si contraddistingue per **continuità**, iniziando fin da prima della presa di servizio come ricercatore e continuando senza interruzione fino al presente anno accademico. Il **volume** di tale attività è andato via via aumentando, coerentemente con i ruoli assunti, raggiungendo **un picco** negli anni accademici 2020/21 e 2021/22, con la titolarità di tre insegnamenti, corrispondenti a **162 ore** di didattica frontale e circa **460 esami** all'anno. Considerazioni analoghe valgono per l'attività di didattica integrativa e di servizio agli studenti, che negli ultimi anni impegna **almeno 500 ore** per ogni anno accademico. Queste attività sono collegate alla formazione di allievi ingegneri rispetto **all'elettronica di base** e alla **progettazione di circuiti integrati analogici**. Andrea Gerosa ha contribuito in modo significativo **all'introduzione di tali tematiche nei corsi di studio dell'Università di Padova**. L'ultimo quinquennio vede anche un notevole impegno in **ambito multidisciplinare**, sia con il coinvolgimento nella **progettazione e nella didattica frontale** di un corso di laurea nelle **classi giuridiche**, sia con l'impegno in attività di **tutorato formativo e per le competenze trasversali**. I **giudizi** da parte degli studenti sono sempre **ottimi**.

Attività di terza missione

Partecipa a **3 progetti di ricerca**, finanziati da contratti di **attività conto terzi**, con **impatto significativo** rispetto **all'avanzamento tecnologico e scientifico** dei prodotti dei committenti. Coordina diverse attività di Ateneo nell'ambito **dell'inserimento lavorativo dei laureati**, con **impatto su diverse migliaia di studenti** ogni anno. Coordina e incentiva diverse attività di PCTO e MOOC, favorendo lo sviluppo di più di **20 progetti di PCTO** e di circa **15 MOOC**, gestendo **fondi per più di 200.000€**. Coordina e promuove diverse attività in **collaborazione con le Scuole della Regione Veneto** e degli altri enti istituzionali (Comune, Provincia, Regione, Uffici scolastici) finalizzate a stimolare interesse verso le discipline e verso la cultura e il metodo scientifico, ovvero a far conoscere i settori del lavoro, gli sbocchi occupazionali possibili nonché i lavori futuri sostenibili e inclusivi e il collegamento fra questi e le conoscenze e competenze acquisite. Per il solo anno scolastico 2023/2024, sono coinvolti più di **10.000 studenti**, con la gestione di un budget di **2.000.000 euro**.

Promuove altre attività di collaborazione con gli Enti territoriali della pubblica amministrazione e in particolare con la **Provincia di Padova**. Viene invitato come **relatore all'evento SIE-EDU 2023**.

Elenco completo delle pubblicazioni

RIVISTE INTERNAZIONALI

1. Novo, **A. Gerosa**, A. Neviani, A. Mozzi and E. Zanoni, "Programmable voltage multiplier for pacemaker output pulse generation", IEE Electronics Letters, Vol. 35, No. 7, pp. 560-561, APR 99
2. G. Meneghesso, E. Zanoni, **A. Gerosa**, P. Pavan, W. Stadler, K. Esmark and X. Guggenmos, "Test structures and testing methods for electrostatic discharge: results of PROPHECY project", Microelectronics Reliability, Vol. 39 1999, pp. 635-646
3. **A. Gerosa**, G.M. Cortelazzo, A. Baschirotto and E. Malavasi, "2-D Video Rate SC FIR Filters Based on Analog RAMs", IEEE Transactions on Circuits and Systems - Part II, Vol. 46, No. 11, pp. 1348-1360, NOV 99

4. A. Novo, **A. Gerosa** and A. Neviani, "A Sub-Micron CMOS Programmable Charge Pump for Implantable Pacemaker", Analog Integrated Circuits and Signal Processing, Kluwer Academic Publisher, Vol. 27, No. 3, June 2001, pp. 211-217
5. A. Xotta, **A. Gerosa** and A. Neviani, "CMOS implementation of all-analogue APP decoders: analysis of performances and limitations", IEE Electronics Letters, Vol. 37, No. 25, pp. 1501-1503, APR 01
6. **A. Gerosa**, R. Bernardini and S. Pietri, "A Fully Integrated Chaotic System for the Generation of Truly Random Numbers", IEEE Transactions on Circuits and Systems: Part-I, Vol. 49, No. 7, JUL 02, pp. 993-1000
7. **A. Gerosa**, A. Xotta, A. Neviani and G.A. Mian, "Frequency Offset Compensation in Fractionally Spaced Equalization", IEE Proceedings on Circuits, Devices and Systems, Vol. 150, No. 2, APR 2003, pp. 134-140
8. **A. Gerosa** and A. Neviani, "Enhancing Output Voltage Swing in Low-Voltage Micro-Power OTA Using Self-Cascode", IEE Electronics Letters, Vol. 39, No.8, APR 2003, pp. 638-639
9. **A. Gerosa**, A. Maniero and A. Neviani, "A Fully-Integrated Two-Channel A/D Interface for the Acquisition of Cardiac Signals in Implantable Pacemakers", IEEE Journal of Solid-State Circuits, Vol. , No. 7, JUL 2004, pp. 1083-1093
10. **A. Gerosa**, A. Maniero and A. Neviani, "A Fully-Integrated Dual-Channel Log-Domain Programmable Preamplifier and Filter for an Implantable Cardiac Pacemakers", IEEE Transactions on Circuits and Systems: part I, Vol. 51, No. 10, OCT 04, pp. 1916-1925
11. **A. Gerosa** and A. Neviani, "A 1.8 μ W Sigma-Delta Modulator for 8-bit Digitization of Cardiac Signals in Implantable Pacemakers Operating Down to 1.8V", IEEE Transactions on Circuits and Systems: part II, Vol. 52, No. 2, FEB 05
12. D. Vogrig, **A. Gerosa**, A. Neviani, A. Graell i Amat, G. Montorsi, S. Benedetto "A 0.35 μ m CMOS Analog Turbo Decoder for the 40-bit, rate 1/3, UMTS Channel Code", IEEE Journal of Solid-State Circuits, Vol. 40, No. 3, MAR 05
13. Bevilacqua A., Sandner C., **Gerosa A.**, Neviani A., "A fully integrated differential CMOS LNA for 3-5-GHz ultrawideband wireless receivers", IEEE Microwave and Wireless Components Letters, vol. 16, No. 3, p. 134-136, MAR. 06
14. **Gerosa A.**, Xotta A., Bevilacqua A., Neviani A., "An A/D converter for multimode wireless receivers, based on the cascade of a double-sampling Sigma Delta modulator and a flash converter", IEEE Transactions on Circuits and Systems. I, Regular Papers, vol. 53, No. 10, p. 2109-2124, OCT 06
15. Graell I Amat A., Bendetto S., Montorsi G., Vogrig D., Neviani A., **Gerosa A.** "Design, Simulation and Testing of a CMOS Analog Decoder for the Block Length-40 UMTS Turbo Code", IEEE Transactions on Communications, vol. 54, No 11, p. 1973-1982, NOV. 06
16. Bevilacqua A., Pavan F.P., Sandner C., **Gerosa A.**, Neviani A., "Transformer-based dual-mode voltage-controlled oscillators", IEEE Transactions on Circuits and Systems. II, Express Briefs, vol. 54, No. 4, p. 293-297, APR 07
17. Bevilacqua A., Maniero A., **Gerosa A.**, Neviani A., "An integrated solution for suppressing WLAN signals in UWB receivers", IEEE Transactions on Circuits and Systems. I, Regular Papers, vol. 54, No. 8, p. 1617-1625, AUG 07
18. Vallese, A., Bevilacqua, A., Sandner, C., Tiebout, M., **Gerosa, A.**, Neviani, A., "Analysis and design of an integrated notch filter for the rejection of interference in UWB systems", IEEE Journal of Solid-State Circuits, vol. 44, no. 2, 2009, pp. 331-343
19. Dal Toso, S.; Bevilacqua, A.; Tiebout, M; Marsili, S; Sandner, C; **Gerosa, A.**; Neviani, A., "UWB Fast-Hopping Frequency Generation Based on Sub-Harmonic Injection Locking, IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. 43, 2008
20. **Gerosa, A.**, Soldà, S., Bevilacqua, A., Vogrig, D., Neviani, A., "An energy-detector for noncoherent impulse-radio UWB receivers", IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 56 no. 5, 2009, pp. 1030-1040

21. Dal Toso, S., Bevilacqua, A., Tiebout, M., Da Dalt, N., **Gerosa, A.**, Neviani, A., "A 0.06 mm² 11mW local oscillator for the GSM standard in 65 nm CMOS", IEEE Journal of Solid-State Circuits, vol. 45 no. 7, 2010 pp. 1295-1304
22. Dal Toso, S., Bevilacqua, A., Tiebout, M., Da Dalt, N., **Gerosa, A.**, Neviani, A., "An integrated divide-by-two direct injection-locking frequency divider for bands S through Ku", IEEE Transactions on Microwave Theory and Techniques, vol. 58, no.7 PART 1, 2010, pp. 1686-1695
23. Soldá, S., Caruso, M., Bevilacqua, A., **Gerosa, A.**, Vogrig, D., Neviani, A., "A 5 Mb/s UWB-IR transceiver front-end for wireless sensor networks in 0.13 μ m CMOS", IEEE Journal of Solid-State Circuits, vol. 46, no. 7, 2011, pp. 1636-1647
24. Bassi, M.; Bevilacqua, A.; **Gerosa, A.**; Neviani, A.; "Integrated SFCW Transceivers for UWB Breast Cancer Imaging: Architectures and Circuit Constraints", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS. I, REGULAR PAPERS, vol. 59, 2012, pp. 1549-8328
25. **Gerosa, A.**, Bevilacqua, A., Neviani, A., "A local oscillator for WCDMA band VII based on frequency multiplication", Analog Integrated Circuits and Signal Processing, vol. 72, no. 1, 2012, pp. 111-119
26. Vogrig, D., Bevilacqua, A., **Gerosa, A.**, Neviani, A., "A symbol-duty-cycled 440-pJ/b impulse radio receiver with 0.57-aJ sensitivity in 130-nm CMOS", IEEE Transactions on Microwave Theory and Techniques, vol. 65, no. 2, 2017, pp. 565-573
27. Gatti, A., Spiazzi, G., **Gerosa, A.**, Neviani, A., Bevilacqua, A., "A 130-nm CMOS dual input-polarity DC-DC converter for low-power applications", IEEE Solid-State Circuits Letters, Vol. 2, No. 9, 2019, pp. 211-214
28. Mukherjee, K. ; De Santi, C.; Buffolo, M.; Borga, M.; You, S.; Geens, K; Bakeroot, B.; Decoutere, S.; **Gerosa, A.**; Meneghesso, G.; Zanoni, E.; Meneghini, M.; "Understanding the Leakage Mechanisms and Breakdown Limits of Vertical GaN-on-Si p+n-n Diodes: The Road to Reliable Vertical MOSFETs", Micromachines, Vol. 12, No. 4, 2021
29. Chiocchetta, F., De Santi, C., Rampazzo, F., Mukherjee, K., Grünenpütt, J., Sommer, D., Blanck, H., Lambert, B., **Gerosa, A.**, Meneghesso, G., Zanoni, E., Meneghini, M., "Study of the influence of gate etching and passivation on current dispersion, trapping and reliability in RF 0.15 μ m AlGaIn/GaN HEMTs", MICROELECTRONICS RELIABILITY, Vol. 138, 2022
30. Da Re, L., Bonelli, R., **Gerosa, A.**, "Formative Tutoring: A Program for the Empowerment of Engineering Students", IEEE Transactions on Education, Vol. 66, No. 2, 2023

ATTI DI CONVEGNI

1. G.M. Cortelazzo E. Malavasi **A. Gerosa** and A. Neviani, "A New Structure for Video-Rate 2D SC FIR Filters", in Proc. of EUSIPCO-96, vol. 2, Trieste (Italy) SEP 96
2. **A. Gerosa** and G.A. Mian, "An Equalizer for Hard Disk Drive Channels, with Low Sensitivity to Sampling Phase Variation", in Proc. of EUSIPCO-98, Rhodes (Greece) SEP 98, pp. 483-486
3. **A. Gerosa**, A. Neviani and G.M. Cortelazzo, "A Partial Accumulation Analog-RAM-based Architecture for Delay Efficient Realization of 2D SC FIR Filters", in Proc. of SSMSD-99, Tucson Arizona - USA, APR 99, pp. 195-199
4. **A. Gerosa** and G.A. Mian, "A Low Complexity EPR-IV Equalizer for Hard Disk Read Channels", in Proc. of ICECS-99, Pafos Cyprus, SEP 99, Vol. 2, pp. 1069-1072
5. **A. Gerosa**, A. Neviani and E. Zanoni, "A SC Video Filter with Analog-RAM-based Delay Efficient Realization", in Proc. of ECCTD-99, Stresa Italy, SEP 99, Vol. 2, pp. 1247-1250
6. A. Novo, **A. Gerosa**, A. Neviani, E. Zanoni and A. Mozzi, "Programmable Voltage Multipliers for Pacemaker Output Pulse Generation in CMOS 0.8 μ m Technology", in Proc. of ESSCIRC-99, Duisburg Germany, SEP 99, pp. 386-389
7. A. Novo, **A. Gerosa**, A. Neviani, A. Mozzi and E. Zanoni, "A CMOS 0.8 μ m Programmable Charge Pump for the Output Stage of an Implantable Pacemaker", Proc. of ICCDCS2000, Cancun Mexico, MAR 00.

8. **A. Gerosa**, A. Novo and A. Neviani, "Low-Power Sensing and Digitization of Cardiac Signals based on Sigma-Delta Conversion", Int. Symp. on Low Power Electronics and Design, Rapallo, Italy, July 00, pp. 216-218
9. **A. Gerosa**, A. Novo and A. Neviani, "An Analog Front-End for the Acquisition of Biomedical Signals, Fully Integrated in a 0.8 μ m CMOS Process", Proc. of SSMSD-01, Austin, Texas (USA), FEB 01, pp. 152-157
10. **A. Gerosa**, R. Bernardini and S. Pietri, "A Fully Integrated 8-Bit, 20 MHz, Truly Random Numbers Generator, Based on a Chaotic System", Proc. of SSMSD-01, Austin, Texas (USA), FEB 01, pp. 87-92
11. **A. Gerosa**, A. Novo, A. Mengalli and A. Neviani, "A Micro-Power, Low-Noise, Log-Domain Amplifier for the Sensing Chain of a Cardiac Pacemaker", Proc. of ISCAS-01, Sydney Australia, MAY 01, Vol. I, pp. 296-299
12. **A. Gerosa**, R. Rubin and A. Neviani, "A Simplified Analysis of Noise in Switched Capacitor Networks from a Circuit Design Perspective", Proc. of ECCTD-01, Espoo Finland, AUG 01, Vol. I, pp. 261-264.
13. **A. Gerosa**, A. Neviani, A. Xotta and G.A. Mian, "A Novel Architecture to Reduce Complexity in Hard Disk Read Channel Based on Fractionally Spaced Equalization", Proc. of ICECS-01, Malta, SEP 01, p. 1099-1102.
14. **A. Gerosa**, "A Ready-to-Use Design Procedure for Operational Transconductance Amplifiers that Minimizes Power Consumption", Proc. of ICECS-01, Malta, SEP 01, pp. 949-952
15. **A. Gerosa**, "A Simple Procedure for the Design of Power-Optimized OTAs for SC Applications", Second Online Symposium for Electronics Engineers
16. A. Xotta, D. Vogrig, **A. Gerosa** and A. Neviani, "An All-Analog Implementation of a Turbo Decoder for Hard-Disk Drive Read Channels", Proc. of ISCAS-02, Phoenix, AZ USA, MAY 02
17. A. Maniero, **A. Gerosa** and A. Neviani, "Performance Optimization in Micro-Power, Low-Voltage, Log-Domain Filters in Pure CMOS Technology", Proc. of ISCAS-03, Bangkok Thailand, MAY 03, Vol. I, pp. 565-568
18. **A. Gerosa** and A. Neviani, "A Very Low-Power 8-bit Sigma-Delta Converter in a 0.8 μ m CMOS Technology for the Sensing Chain of a Cardiac Pacemaker, Operating down to 1.8V", Proc. of ISCAS-03, Bangkok Thailand, MAY 03, Vol. V, pp. 49-52
19. M. Perenzoni, **A. Gerosa** and A. Neviani, "Analog CMOS Implementation of Gallager's Iterative Decoding algorithm applied to a Block Turbo Code", Proc. of ISCAS-03, Bangkok Thailand, MAY 03, Vol. V, pp. 813-816
20. **A. Gerosa**, A. Maniero and A. Neviani, "A Fully-Integrated Two-Channel A/D Interface for the Acquisition of Cardiac Signals in Implantable Pacemakers", Proc. of ESSCIRC-03, Estoril, Portugal, SEP 03, pp. 157-160
21. **A. Gerosa** and A. Neviani, "A Low-Power Decimation Filter for a Sigma-Delta Converter Based on a Power-Optimized Sinc Filter", Proc. of ISCAS-04, Vancouver, Canada, May 04
22. A. Xotta, **A. Gerosa** and A. Neviani, "A Programmable-Order Sigma-Delta Converter for a Multi-Standard Wireless Receiver", Proc. of WoWCAS-04, Vancouver, Canada, May 04
23. A. Graell i Amat, S. Benedetto, G. Montorsi, D. Vogrig, A. Neviani and **A. Gerosa**, "An Analog Turbo Decoder for the UMTS Standard", Proc. of IEEE International Symposium on Information Theory, Chicago, USA, JUNE 04
24. A. Xotta, **A. Gerosa** and A. Neviani, "A Multi-Mode Sigma-Delta Analog-to-Digital Converter for GSM, UMTS and WLAN", Proc. of ISCAS-05, Kobe, Japan, May 05
25. Vogrig D., **Gerosa A.**, Neviani A., Graell I Amat A., Montorsi G., Benedetto S., "A 0.35 μ m CMOS analog turbo decoder for a 40 bit, rate 1/3, UMTS channel code", in: Research in Microelectronics and Electronics, 2005 PhD, 25-28 July 2005, vol. 1, p. 31-34

26. Amatt A.G.I., Benedetto S., Montorsi G., Vogrig D., Neviani A., **Gerosa A.**, "An analog turbo decoder for the rate-1/3, 40 bit, UMTS turbo code, in: ICC - IEEE International Conference on Communications, 16-20 May 2005, vol. 1, p. 663-667
27. Maniero A, Bevilacqua A, Neviani A, **Gerosa A.**, "A low-voltage III-order log-domain filter in standard CMOS technology with tunable frequency", in: Proceedings of 13th IEEE International Conference on Electronics, Circuits and Systems. ICECS 2006. Nice, France
28. Graell I Amat A, Vogrig D, Benedetto S, Montorsi G, Solda S, Neviani A, **Gerosa A.**, "Iterative Analog Decoder for a SCCC", in: Analog Decoding Workshop. Torino, Italy, ISBN/ISSN: 88-7178-024-8
29. Graell I Amat A, Vogrig D, Benedetto S, Montorsi G, Neviani A, **Gerosa A.**, "Reconfigurable Analog Decoder for a Serially Concatenated Convolutional Code", in: Proceedings of IEEE Global Telecommunications Conference, 2006. GLOBECOM 2006.
30. **Gerosa A.**, Bevilacqua A, Neviani A, Xotta A, "An optimal architecture for a multimode ADC, based on the cascade of a Sigma-Delta modulator and a flash converter", in: Proceedings of 2006 IEEE International Symposium on Circuits and Systems, ISCAS 2006. Island of Kos, Greece, May 21-24, 2006, p. 585-588, ISBN/ISSN: 0-7803-9390-2
31. Bevilacqua A, Pavan F, Sandner C, **Gerosa A.**, Neviani A, "A 3.4-7 GHz Transformer-Based Dual-Mode Wideband VCO", in: Proceedings of the 32nd European Solid-State Circuits Conference, 2006. ESSCIRC 2006. Montreux, Switzerland, 18-22 September, 2006
32. Bevilacqua A, Maniero A, **Gerosa A.**, Neviani A, "A 0.35 um SiGe Low-Noise Amplifier for UWB Receivers with Integrated Interferer Rejection", in: Proceedings of 13th IEEE International Conference on Electronics, Circuits and Systems, ICECS 2006. Nice, France
33. Vallese A, Bevilacqua A, Sandner C, Tiebout M, **Gerosa A.**, Neviani A, "An Analog Front-End with Integrated Notch Filter for 3-5 GHz UWB Receivers in 0.13 um CMOS", in: European Solid-State Circuits Conference - ESSCIRC 2007. Munich, Germany, September 11-13, 2007, vol. 1
34. **Gerosa A.**; Soldan M; Bevilacqua A; Neviani A, "A 0.18-um CMOS Squarer Circuit for a Non-Coherent UWB Receiver", in: International Symposium on Circuits and Systems - ISCAS 2007. New Orleans, USA, 27-30 May 2007, vol. 1, p. 421-424, ISBN/ISSN: 1-4244-0921-7
35. Bevilacqua A, Vallese A, Sandner C, Tiebout M, **Gerosa A.**, Neviani A, "A 0.13um CMOS LNA with Integrated Balun and Notch Filter for 3-5GHz UWB Receivers", in: IEEE International Solid-State Circuits Conference, 2007, Digest of Technical Papers. San Francisco, USA, 2007, vol. 1, p. 420-421, ISBN/ISSN: 1-4244-0852-0
36. Bevilacqua A, Sandner C, **Gerosa A.**, Neviani A, "Quadrature VCOs Based on Coupled PLLs", in: IEEE International Symposium on Circuits and Systems - ISCAS. New Orleans, USA, 27-30 May 2007, vol. 1, p. 2140-2143, ISBN/ISSN: 1-4244-0921-7
37. Dal Toso S, Bevilacqua A, Tiebout M, Marsili S, Sandner C, **Gerosa A.**, Neviani A, "UWB Fast-Hopping Frequency Generation Based on Sub-Harmonic Injection Locking", in: IEEE International Solid-State Circuits Conference, 2008, Digest of Technical Papers. San Francisco, USA, 3-7 Feb. 2008
38. Soldà S, Vogrig D, Bevilacqua A, **Gerosa A.**, Neviani A, "Analog Decoding of Trellis Coded Modulation for Multi-level Flash Memories", in: ISCAS International Symposium on Circuits and Systems. Seattle, USA, May 18-21, 2008, vol. I, p. 744-747, ISBN/ISSN: 978-1-4244-1684-4
39. **Gerosa A.**, Dalla Costa M, Bevilacqua A, Vogrig D, Neviani A, "An Energy-Detector for Non-Coherent Impulse-Radio UWB Receivers", in: ISCAS, International Symposium on Circuits and Systems. Seattle, USA, May 18-21, 2008, vol. I, p. 2705-2708, ISBN/ISSN: 978-1-4244-1684-4
40. Bevilacqua A, Camponeschi M, Tiebout M, **Gerosa A.**, Neviani A, "Design of Broadband Inductorless LNAs in Ultra-Scaled CMOS Technologies", in: ISCAS, International

- Symposium on Circuits and Systems. Seattle, USA, May 18-21, 2008, vol. I, p. 1300-1303, ISBN/ISSN: 978-1-4244-1684-4
41. Bevilacqua, A.; Sandner, C.; Tiebout, M.; **Gerosa, A.**; Neviani, A.; "A 6-9-GHz Programmable Gain LNA with Integrated Balun in 90-nm CMOS", IEEE International Conference on Ultra-Wideband, Hannover, Germany, 10-12 Sept. 2008, ISBN/ISSN: 9781424418275
 42. Dal Toso, S.; Bevilacqua, A.; Tiebout, M.; Da Dalt, N.; **Gerosa, A.**; Neviani, A.; "A 0.059-mm² 10.8-mW local oscillator for GSM systems in 65-nm CMOS", in ESSCIRC 2009, European Solid-State Circuit Conference, 14-18 Sept. 2009, Athens, Greece, ISBN/ISSN: 9781424443543
 43. **Gerosa, A.**; Solda', S.; Bevilacqua, A.; Vogrig, D.; Neviani, A., "A digitally programmable ring oscillator in the UWB range", in ISCAS 2010, 30 May - 2 June 2010, Paris, ISBN/ISSN: 9781424453085
 44. Solda', S.; Caruso, M.; Vogrig, D.; Bevilacqua, A.; **Gerosa, A.**; Neviani, A., "Low-power UWB transmitter using a combined mixer and power amplifier" in ISCAS 2010, 30 May - 2 June 2010, Paris, ISBN/ISSN: 9781424453085
 45. Dal Toso, S., Bevilacqua, A., **Gerosa, A.**, Neviani, A., "A thorough analysis of the tank quality factor in LC oscillators with switched capacitor banks", in ISCAS 2010, 30 May - 2 June 2010, Paris, pp. 1903-1906.
 46. Soldà, S., Caruso, M., Bevilacqua, A., **Gerosa, A.**, Vogrig, D., Neviani, A., "A 5Mb/s UWB-IR CMOS transceiver with a 186 pJ/b and 150 pJ/b TX/RX energy request", in ESSCIRC 2010 - 36th European Solid State Circuits Conference, art. no. 5619752, pp. 498-501.
 47. Bevilacqua, A., Lorenzon, L., Da Dalt, N., **Gerosa, A.**, Neviani, A., "A 4.1 to 5.1GHz 430 μ A injection-locked frequency divider by 7 in 65 nm CMOS", in ESSCIRC 2010 - 36th European Solid State Circuits Conference, art. no. 5619867, pp. 150-153.
 48. Bassi, M., Bevilacqua, A., **Gerosa, A.**, Neviani, A., "Integrated transceivers for UWB breast cancer imaging: Architecture and circuit constraints", Proceedings of IEEE International Symposium on Circuits and Systems, 2011, pp. 2087-2090
 49. Neviani, A.; Bevilacqua, A.; **Gerosa, A.**; Vogrig, D., "Low-power ultra-Wide-Band Impulse Radio transceivers for short range communications", IEEE International Conference on IC Design Technology (ICICDT), 30/05/2012 - 01/06/2012; Austin, TX, USA, ISBN/ISSN: 9781467301442
 50. Vogrig, D., Bevilacqua, A., **Gerosa, A.**, Neviani, A., "A symbol-duty-cycled 440 pJ/b impulse radio receiver with 0.57 aJ sensitivity in 130 nm CMOS", Digest of Papers - IEEE Radio Frequency Integrated Circuits Symposium, 2015-November, pp. 243-246
 51. Celin, A., **Gerosa, A.**, "Optimal DWA design in scaled CMOS technologies for mismatch cancellation in multibit $\Sigma\Delta$ ADCs", Proceedings - IEEE International Symposium on Circuits and Systems, 2015-July, pp. 1454-1457
 52. Celin, A.; **Gerosa, A.**, "A reduced hardware complexity data-weighted averaging algorithm with no tonal behavior", Proceedings - IEEE International Symposium on Circuits and Systems, ISCAS 2016 Montreal's Sheraton Centre
 53. **Gerosa, A.**, Bevilacqua, A., Spiazzi, G., "A multi-phase self-reconfigurable switched-capacitor DC-DC step-up converter integrated in CMOS technology", Proceedings of IEEE International Symposium on Circuits and Systems, 2019-May
 54. Gatti, A., Spiazzi, G., **Gerosa, A.**, Neviani, A., Bevilacqua, A., "A 130-nm CMOS Dual Input-Polarity DC-DC Converter for Low-Power Applications", ESSCIRC 2019 - IEEE 45th European Solid State Circuits Conference, pp. 211-214
 55. Da Re, L.; Clerici, R.; **Gerosa, A.**; Giraldo, A.; Meggiolaro, S.; "Tutoría entre iguales en el Programa de Tutoría Formativa", XIX Congreso Internacional de Investigación Educativa - Investigación Comprometida para la transformación social, 19-21 giugno 2019, Madrid

56. Da Re, L.; Clerici, R.; **Gerosa, A.**, “Il Tutorato Formativo @UNIPD. Il Tutor docente nel Tutorato Formativo”, in proceedings of international congress “Didattica, riconoscimento professionale e innovazione in Università”, June 2020
57. Clerici, R., Da Re, L., **Gerosa, A.**, “Una estrategia educativa efectiva para los estudiantes de ingeniería: la Tutoría Formativa”, atti de XVII Congreso Nacional y IX Iberoamericano de Pedagogía, Santiago de Compostela, 7-9 luglio 2021
58. Da Re, L., **Gerosa, A.**, “La Tutoría Formativa para la mejora del rendimiento académico”, atti de XVII Congreso Nacional y IX Iberoamericano de Pedagogía, Santiago de Compostela, 7-9 luglio 2021
59. Chiochetta F., De Santi C., Rampazzo F., Mukherjee K.; Grunenputt J., Sommer D., Blanck H., Lambert B., **Gerosa A.**, Meneghesso G., Zanoni E., Meneghini M., “GaN RF HEMT Reliability: Impact of Device Processing on I-V Curve Stability and Current Collapse”, Proceedings of 2022 IEEE International Reliability Physics Symposium (IRPS), Dallas, TX, USA, 2022
60. Da Re, L., **Gerosa, A.**, “Orientamento educativo e professionale: stato dell’arte e visione futura all’università di Padova”, Atti del convegno "Strategie per lo sviluppo della qualità della didattica universitaria", Bari, 1-3 Febbraio 2023, Pensa MultiMedia Edizioni, ISBN 979-12-5568-063-5, pp. 542-547
61. Da Re, L., **Gerosa, A.**, “El programa de tutoría formativa”, atti de INCLUYE - II Congreso Internacional en Interculturalidad, Inclusión y Equidad en Educación, Salamanca, Spagna, 13-15 Dicembre 2023
62. **Gerosa, A.**, “Work in Progress: Systems Thinking as a Foundation for Sustainability Awareness and Ethical Use of Technologies”, accepted for presentation at IEEE Global Engineering Education Conference 2024, Kos, Greece, May 8-11, 2024

CAPITOLO DI LIBRO

[L1] Da Re, L.; **Gerosa, A.**; Clerici, R.; “Il tutoring come strategia educativa per il successo negli studi universitari: il Tutorato Formativo@Unipd”, chapter in the book “Teaching4Learning@Unipd. L’innovazione didattica all’Università di Padova Teorie, Ricerche e Pratiche”, 2020, Padova University Press, ISBN: 978-88-6938-218-5

[L2] Da Re, L.; Clerici, R.; **Gerosa, A.**, “Il Tutorato Formativo per Ingegneria”, chapter in the book “Dirigere se stessi nello studio e nel lavoro. Competenze strategiche.it: strumenti e applicazioni”, Roma TrE-Press, 2020, ISBN: 979-12-80060-75-4

LIBRI PER LA DIDATTICA

[L3] **A. Gerosa**, “Elettronica Digitale, esercizi risolti”, Ed. Libreria Progetto, Padova, 2004 – ISBN 88-87331-66-9

[L4] Cester A., **Gerosa A.** (*traduzione e revisione dell’edizione italiana a cura di*), “Circuiti Integrati Digitali”, di: RABAEY J., CHANDRAKASAN A., NIKOLIC B. – MILANO, Prentice Hall, pp. 1-820, ISBN: 88-7192-231-X

[L5] **A. Gerosa**, “Elettronica Digitale, esercizi risolti”, Seconda Edizione, Ed. Libreria Progetto, Padova, 2006 – ISBN 88-87331-66-9

[L6] **Gerosa A.**, Vogrig D. (*traduzione e revisione dell’edizione italiana a cura di*), “VHDL - Progetto di sistemi digitali”, di: ZWOLINSKY M. - MILANO: Prentice Hall Italia, pp. 1-382, ISBN: 978-88-7192-431-1

[L7] **A. Gerosa**, “Circuiti digitali in tecnologia CMOS: esercizi risolti”, Ed. Libreria Progetto, Padova, 2018

Padova, 30/05/2025

A handwritten signature in black ink, appearing to read 'Andrea Gerosa', with a long horizontal stroke extending to the right.